

Attorney Docket No. 5649-1249

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Tae-Sik Son

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: SEMICONDUCTOR MEMORY DEVICES WITH DRIVING CIRCUITS FOR
SCREENING DEFECTIVE WORDLINES AND RELATED METHODS

Date: February 4, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0009503, filed February 14, 2003.

Respectfully submitted,



D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792

Myers Bigel Sibley & Sajovec, P.A.

Post Office Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

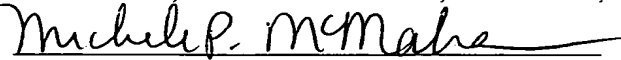
Facsimile: (919) 854-1401

Our File No. 5649-1165

"Express Mail" mailing label number EV 353593025US

Date of Deposit: February 4, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.



Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0009503
Application Number

출원 년 월 일 : 2003년 02월 14일
Date of Application FEB 14, 2003

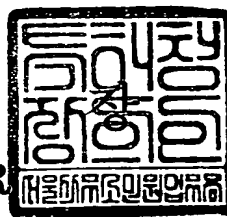
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
 【권리구분】 특허
 【수신처】 특허청장
 【제출일자】 2003.02.14
 【발명의 명칭】 불량 워드라인을 스크린하고 불량 워드라인에 브릿지가 존재하더라도 리프레쉬 전류나 스탠바이 전류를 증가시키지 않는 반도체 메모리 장치 및 그 워드라인 구동 방법
 【발명의 영문명칭】 Semiconductor memory device for screening defect wordline and for preventing increasing refresh current and standby current caused by bridge phenomena and wordline deriving method thereof
 【출원인】
 【명칭】 삼성전자 주식회사
 【출원인코드】 1-1998-104271-3
 【대리인】
 【성명】 임창현
 【대리인코드】 9-1998-000386-5
 【포괄위임등록번호】 1999-007368-2
 【대리인】
 【성명】 권혁수
 【대리인코드】 9-1999-000370-4
 【포괄위임등록번호】 1999-056971-6
 【발명자】
 【성명의 국문표기】 손태식
 【성명의 영문표기】 SON, TAE-SIK
 【주민등록번호】 651106-1064112
 【우편번호】 442-470
 【주소】 경기도 수원시 팔달구 영통동 청명마을 3단지 벽산아파트 336-506호
 【국적】 KR
 【심사청구】 청구
 【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	7	면	7,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	19	항	717,000	원
【합계】	753,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

불량 워드라인을 스크린하고 불량 워드라인에 브릿지가 존재하더라도 리프레쉬 전류나 스탠바이 전류를 증가시키지 않는 반도체 메모리 장치 및 그 워드라인 구동 방법이 개시된다. 본 발명의 반도체 메모리 장치는 로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 워드라인 구동 신호를 발생하는 버퍼부와, 로우 어드레스 신호, 모드 레지스터 워드라인 신호 및 리프레쉬 워드라인 신호에 응답하여 워드라인을 디세이블시키는 워드라인 리셋 신호를 발생하는 드라이버부를 포함한다. 모드 레지스터 워드라인 신호는 모드 레지스터에 저장된 정보이다. 따라서, 본 발명에 의하면, MRS 워드라인 신호를 사용하여 불량 워드라인을 스크린할 수 있으며, 워드라인과 비트라인 사이에 브릿지가 존재하더라도, 리프레쉬 워드라인을 사용하여 비트라인 프리차아지 전압과 접지 전압 사이의 전류 경로를 차단시키기 때문에, 리프레쉬 전류와 스탠바이 전류의 증가를 방지할 수 있다.

【대표도】

도 4

【색인어】

브릿지 현상, 워드라인 드라이버, 워드라인 구동 신호, 워드라인 리셋 신호

【명세서】**【발명의 명칭】**

불량 워드라인을 스크린하고 불량 워드라인에 브릿지가 존재하더라도 리프레쉬 전류나 스탠바이 전류를 증가시키지 않는 반도체 메모리 장치 및 그 워드라인 구동 방법{Semiconductor memory device for screening defect wordline and for preventing increasing refresh current and standby current caused by bridge phenomena and wordline deriving method thereof}

【도면의 간단한 설명】

도 1은 종래의 기술에 의한 누설 전류 경로를 나타내는 도면이다.

도 2는 종래의 워드라인 신호 발생부를 나타내는 도면이다.

도 3은 도 1 및 도 2에 따른 리프레쉬 동작 타이밍도를 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 워드라인 신호 발생부를 나타내는 도면이다.

도 5는 모드 레지스터 워드라인 신호를 발생하는 동작 타이밍을 설명하는 도면이다.

도 6은 본 발명의 일실시예에 따른 리프레쉬 신호 발생부를 설명하는 도면이다.

도 7은 도 6의 리프레쉬 워드라인 신호 발생부를 설명하는 도면이다.

도 8은 도 6 및 도 7의 리프레쉬 신호 발생부의 동작 타이밍을 설명하는 도면이다.

도 9는 본 발명의 리프레쉬 워드라인 신호의 동작 타이밍을 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 불량 워드라인을 스크린할 수 있고 불량 워드라인에 브릿지가 존재하더라도 리프레쉬 전류 및 스태바이 전류 증가를 방지할 수 있는 워드라인 드라이버 회로 및 그 워드라인 구동 방법에 관한 것이다.

<11> 핸드폰, PDA 등의 휴대용 전자 장치(Mobile Application)에 내장되는 반도체 메모리 장치들은 적은 전력 소모가 요구된다. 이를 만족하기 위하여, DRAM 또는 의사 SRAM(Pseudo SRAM: "UTRAM"이라고도 한다)은 리프레쉬 전류 또는 데이터 보유 전류(data retention current) 등을 줄이는 방안을 채용한다. 일반적으로, 전력 소모는 회로 동작 상 소모되는 전류와 불량에 의해 발생하는 전류로 인해 발생된다. 불량에 의해 발생하는 전류는 예컨대, 메모리 셀들의 집적도가 높아짐에 따라 발생하는 워드라인과 비트라인의 브릿지(bridge) 현상에 의해 생긴다. 브릿지 현상에 수반되어 메모리 셀이 영구적으로 불량이 되는 경우에, DRAM 또는 UTRAM 등의 메모리 장치는 불량 셀을 리던던시 셀로 대체시키는 리던던시 기술을 사용한다. 그런데, 불량 셀을 리던던시 셀로 대체하더라도 워드라인과 비트라인의 브릿지 현상에 따른 누설 전류는 차단이 안된다.

<12> 도 1은 종래의 워드라인 드라이버와 연결되는 비트라인 회로부를 나타내는 도면이다. 이를 참조하면, 워드라인 드라이버(110)는 워드라인 인에이블 신호(NWEi)와 워드라인 구동 신호(PXiD), 그리고 워드라인 리셋 신호(PXiB)에 응답하여 선택된 워드라인(WLi, i=0,1)을 승압 전압 레벨로 구동한다. 워드라인 구동 신호(PXiD)와 워드라인 리셋 신호(PXiB)는 도 2의 워드라

인 신호 발생부(200)를 통해 발생된다. 도 2의 워드라인 신호 발생부(200)는 로우 어드레싱 신호(PXi)를 입력하여 워드라인 구동 신호(PXiD)와 워드라인 리셋 신호(PXiB)를 발생한다. 워드라인 구동 신호(PXiD)는 승압 전압 레벨로 발생되어 선택된 워드라인(WLi, i=0,1, 도 1)을 인에이블시킨다. 워드라인 리셋 신호(PXiB)는 선택되지 않은 워드라인(WLi, i=0,1, 도 1)을 접지 전압(VSS) 레벨로 리셋시킨다.

<13> 메모리 셀 어레이 블록(100)은 복수개의 메모리 셀들(101, 102)이 행들 및 열들로 배열된다. 비트라인 회로부에는 간략하게 비트라인 이퀄라이저 회로(120)와 비트라인 센스앰프(S/A, 130)가 배치된다. 비트라인 이퀄라이저 회로(120)는 이퀄라이징 신호(PEQ)에 응답하여 비트라인들(BL, /BL)을 비트라인 프리차아지 전압(VBL)으로 프리차아지시킨다. 프리차아지 전압(VBL)은 전원 전압(VDD)의 반에 해당하는 즉, $V_{DD}/2$ 전압 레벨을 갖는다. 비트라인 센스앰프(130)는 선택된 메모리 셀의 데이터를 센싱한다.

<14> 워드라인(WL0)과 비트라인(BL) 사이에 브릿지(140)가 생긴 경우에, 그리고 이 때 워드라인(WL0)이 선택되지 않은 경우에, 특히 리프레쉬 시 비트라인 프리차아지 전압(VBL)으로부터 이퀄라이징 트랜지스터(122), 비트라인(BL), 브릿지(140), 워드라인(WL0), 리셋 트랜지스터(112), 그리고 접지 전압(VSS)으로 통하는 누설 전류 경로가 형성된다. 리프레쉬 시 누설 전류 경로는 도 3의 동작 타이밍도를 참조하여 설명한다.

<15> 도 3을 참조하면, 셀프 리프레쉬 시 내부 카운터 신호의 1 사이클 상승 에지에서 리프레쉬 신호(PR)가 로직 하이레벨로 인에이블되고(a), 리프레쉬 신호(PR)에 응답하여 로우 어드레스 신호(PXi)는 로직 하이레벨로(b), 워드라인 인에이블 신호(NWEi)가 로직 하이레벨로(c), 그리고 이퀄라이징 신호(PEQ)는 로직 로우레벨로 발생된다(d). 로직 하이레벨의 로우 어드레스 신호(PXi)에 응답하여 워드라인 리셋 신호(PXiB)는 로직 로우레벨로(e), 그리고 워드라인

드라이버 신호(PXiD)는 로직 하이레벨로 발생된다(㉔). 이 후, 내부 카운터 신호의 1 사이클 하강 에지에서 리프레쉬 신호(PR)는 로직 로우레벨로(㉕), 로우 어드레스 신호(PXi)는 로직 로우레벨로(㉖), 워드라인 인에이블 신호(NWEi)는 로직 로우레벨로(㉗), 그리고 이퀄라이징 신호(PEQ)는 로직 하이레벨로 발생된다(㉘). 로직 로우레벨의 로우 어드레스 신호(PXi)에 응답하여 워드라인 리셋 신호(PXiB)는 로직 하이레벨로(㉙), 그리고 워드라인 드라이버 신호(PXiD)는 로직 로우레벨로 발생된다(㉚).

<16> 여기에서, 로직 하이레벨의 이퀄라이징 신호(PEQ)에 응답하여 이퀄라이징 트랜지스터(122, 도 1)가 턴온되고, 로직 하이레벨의 워드라인 리셋 신호(PXiB)에 응답하여 리셋 트랜지스터(112, 도 1)가 턴온된다. 이에 따라 비트라인 프리차아지 전압(VBL)으로부터 이퀄라이징 트랜지스터(122), 비트라인(BL), 브릿지(140), 워드라인(WL0), 리셋 트랜지스터(112), 그리고 접지 전압(VSS)으로 통하는 누설 전류 경로가 형성된다. 이러한 누설 전류 경로는 리프레쉬 시 리프레쉬 전류를 증가시킨다. 또는 스탠바이 상태일 때의 스탠바이 전류를 증가시킨다. 이들은 모바일 제품의 배터리 수명을 짧게 하는 원인이 된다.

<17> 한편, 이러한 브릿지 현상이 발생한 워드라인 또는 불량 워드라인을 스크린할 수 있는 방안 또한 요구된다.

<18> 따라서, 불량 워드라인을 스크린하고 워드라인과 비트라인 사이에 브릿지가 존재하더라도 리프레쉬 전류나 스탠바이 전류를 증가시키지 않는 반도체 메모리 장치가 필요하다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명의 목적은 불량 워드라인을 스크린할 수 있는 반도체 메모리 장치를 제공하는 데 있다.

- <20> 본 발명의 다른 목적은 브릿지가 존재하더라도 리프레쉬 전류나 스탠바이 전류를 증가시키지 않는 반도체 메모리 장치를 제공하는 데 있다.
- <21> 본 발명의 또다른 목적은 불량 워드라인을 스크린할 수 있으며, 불량 워드라인에 브릿지가 존재하더라도 리프레쉬 전류나 스탠바이 전류를 증가시키지 않는 반도체 메모리 장치를 제공하는 데 있다.
- <22> 본 발명의 더욱 다른 목적은 상기 반도체 메모리 장치의 워드라인 구동 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <23> 상기 목적을 달성하기 위하여, 본 발명의 반도체 메모리 장치 일에는 로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 워드라인 구동 신호를 발생하는 버퍼부; 및 로우 어드레스 신호 및 불량 워드라인을 스크린하는 모드 레지스터 워드라인 신호에 응답하여 상기 워드라인을 디세이블시키는 워드라인 리셋 신호를 발생하는 드라이버부를 포함한다.
- <24> 상기 다른 목적을 달성하기 위하여, 본 발명의 반도체 메모리 장치는 로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 워드라인 구동 신호를 발생하는 버퍼부; 및 로우 어드레스 신호 및 리프레쉬 동작 동안 발생하는 리프레쉬 워드라인 신호에 응답하여 상기 워드라인을 디세이블시키는 워드라인 리셋 신호를 발생하는 드라이버부를 포함한다.
- <25> 상기 또다른 목적을 달성하기 위하여, 본 발명의 반도체 메모리 장치는 로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 워드라인 구동 신호를 발생하는 버퍼부; 및 로우 어드레스 신호, 불량 워드라인을 스크린하는 모드 레지스터 워드라인 신호 및

리프레쉬 동작 동안 발생하는 리프레쉬 워드라인 신호에 응답하여 워드라인을 디세이블시키는 워드라인 리셋 신호를 발생하는 드라이버부를 포함한다. 모드 레지스터 워드라인 신호는 모드 레지스터에 저장된 정보이다.

<26> 드라이버부는 모드 레지스터 워드라인 신호와 리프레쉬 워드라인 신호를 입력하는 제1 노아 게이트; 노아 게이트의 출력을 반전하는 인버터; 및 로우 어드레스 신호와 인버터의 출력을 입력하여 워드라인 리셋 신호를 출력하는 제2 노아 게이트를 포함한다. 반도체 메모리 장치는 리프레쉬 워드라인 신호를 발생시키는 리프레쉬 신호 발생부를 더 포함하고, 리프레쉬 신호 발생부는 리프레쉬 마스터 신호에 응답하여 소정의 오실레이션 신호를 발생하는 오실레이션부; 오실레이션 신호를 소정 횟수로 분주시켜 분주 신호들을 발생하는 분주부; 분주 신호를 선택하고 분주 신호의 일정 주기를 결정하여 자동 리프레쉬 펄스 신호를 발생하는 자동 펄스 발생부; 자동 리프레쉬 펄스 신호 및 리프레쉬 마스터 신호의 지연 신호에 응답하여 리프레쉬 시작 신호 발생부; 및 리프레쉬 마스터 신호의 지연 신호 및 리프레쉬 시작 신호에 응답하여 리프레쉬 워드라인 신호를 발생하는 리프레쉬 워드라인 신호 발생부를 포함한다. 리프레쉬 마스터 신호는 모드 레지스터에 저장된 리프레쉬 정보이다.

<27> 상기 더욱 다른 목적을 달성하기 위하여, 본 발명의 워드라인 구동 방법은 로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 단계; 및 로우 어드레스 신호, 모드 레지스터 워드라인 신호 및 리프레쉬 워드라인 신호에 응답하여 워드라인을 디세이블시키는 단계를 포함한다. 워드라인 구동 방법은 상기 모드 레지스터 워드라인 신호를 모드 레지스터로부터 수신한다.

<28> 워드라인 구동 방법은 리프레쉬 마스터 신호로부터 오실레이션 신호를 발생하는 단계; 오실레이션 신호를 분주시켜 소정의 분주율을 갖는 분주 신호를 발생하는 단계; 분주 신호에

응답하여 자동 리프레쉬 펄스 신호를 발생하는 단계; 자동 리프레쉬 펄스 신호 및 리프레쉬 마스터 신호의 지연 신호에 응답하여 리프레쉬 시작 신호를 발생하는 단계; 리프레쉬 시작 신호 및 리프레쉬 마스터 신호의 지연 신호에 응답하여 리프레쉬 워드라인 신호를 발생하는 단계를 더 포함한다. 리프레쉬 마스터 신호는 모드 레지스터에 저장된 셀프 리프레쉬 정보이다.

<29> 따라서, 본 발명에 의하면, MRS 워드라인 신호를 사용하여 불량 워드라인을 스크린할 수 있으며, 워드라인과 비트라인 사이에 브릿지가 존재하더라도, 리프레쉬 워드라인을 사용하여 비트라인 프리차이지 전압과 접지 전압 사이의 전류 경로를 차단시키기 때문에, 리프레쉬 전류와 스탠바이 전류의 증가를 방지할 수 있다.

<30> 이하, 본 발명의 바람직한 실시예의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 도면들 중 참조부호들 및 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 참조번호들 및 부호들로 나타내고 있음은 명백하다.

<31> 도 4는 본 발명의 일실시예에 따른 워드라인 신호 발생부를 나타내는 도면이다. 이를 참조하면, 워드라인 신호 발생부(400)는 버퍼부(410)와 제1 내지 제3 드라이버부(420, 430, 440)를 포함한다. 버퍼부(410)는 로우 어드레스 신호(PXi)를 입력하여 워드라인 구동 신호(PXiD)를 발생한다. 제1 드라이버부(420)는 MRS 워드라인 신호(MRS_WL)와 리프레쉬 워드라인 신호(PSELF_WL)를 입력하는 노아 게이트로 구성된다. 제2 드라이버부(420)는 제1 드라이버부(420)의 출력을 반전하는 인버터로 구성된다. 제3 드라이버부(440)는 제2 드라이버부(430)의 출력과 로우 어드레스 신호(PXi)를 입력하는 노아 게이트로 구성되며 그 출력으로 워드라인 리셋 신호(PXiB_)를 발생한다. MRS 워드라인 신호(MRS_WL)는 모드 레지스터(MRS)에 저장되는 비트 신호로써, 도 5의 타이밍도에 의해 발생된다. 리프레쉬 워드라인 신호(PSELF_WL)는 리프레쉬 동작

특히, 셀프 리프레쉬 동작 동안 발생하는 신호로써, 이후에 도 6 내지 도 8을 참조하여 설명된다.

<32> 도 5를 참조하면, 반도체 메모리 장치, 예컨대 SDRAM의 모드 레지스터(MRS) 셋팅을 위해, 클럭 신호(CLK)의 하강 에지 구간에서 라스 신호(/RAS), 카스 신호(/CAS), 그리고 기입 인에이블 신호(/WE)의 로직 로우 레벨 활성화일 때 소정의 어드레스 신호(ADDR)가 입력된다. 소정의 어드레스 핀들(A0~An, BA0~BA1)의 상태에 대응되는 어드레스 신호(ADDR)가 모드 레지스터(MRS)에 저장된다. 일반적으로, 모드 레지스터(MRS)는 기능 필드에 따라 다양한 필드로 나뉘어지고, 카스 레이턴시, 버스트 타입, 버스트 길이, 테스트 모드, 그리고 다양한 벤더 요구 옵션들(vender specific options)이 프로그램된다.

<33> 여기에다가 모드 레지스터(MRS)는 테스트 시 워드라인과 비트라인 사이의 브릿지 불량 또는 워드라인 불량을 스크린하는 MRS 워드라인 신호(MRS_WL) 정보를 추가로 포함한다. 모드 레지스터(MRS) 셋팅을 위해 필요한 2 클럭 사이클 후, SDRAM은 MRS 워드라인 신호(MRS_WL) 상태에 따라 정상 동작(normal operation) 또는 테스트 동작을 수행한다. 정상 동작 시, MRS 워드라인 신호(MRS_WL)는 로직 로우레벨로 설정되어 인에이블되지 않은 워드라인을 접지 전압 레벨로 잡아둔다. 이는 인에이블되지 않은 워드라인을 확실히 디세이블시켜 워드라인과 연결되는 메모리 셀에 저장된 데이터를 유지시키기 위함이다.

<34> 한편, 테스트 시, MRS 워드라인 신호(MRS_WL)는 로직 하이레벨로 설정되어 도 4의 워드라인 신호 발생부(400)의 워드라인 리셋 신호(PXiB)를 로직 로우레벨로 셋팅한다. 로우레벨의 워드라인 리셋 신호(PXiB)는 도 1의 엔모스 트랜지스터(112)

를 턴오프시켜 접지 전압(GND)으로의 경로를 차단한다. 이는 워드라인 리셋 신호(PXiB)와 관련된 워드라인을 플로팅시킨다. 플로팅된 워드라인에 연결된 메모리 셀 데이터를 독출하고 이전 기입 데이터와 비교하여, 데이터 패턴이 다르면 플로팅된 워드라인에 불량, 예컨대, 브릿지, 메모리 셀 불량 등의 불량 원인이 있음을 의미한다. 이러한 방식으로 불량 워드라인을 스크린하게 된다.

<35> 도 6는 리프레쉬 신호 발생부를 나타내는 도면이다. 이를 참조하면, 리프레쉬 신호 발생부(600)는 오실레이터(610), 분주기(620), 자동 펄스 발생부(630), 지연부(640), 리프레쉬 시작 신호 발생부(650), 그리고 리프레쉬 워드라인 신호 발생부(660)를 포함한다. 오실레이터(610)는 셀프 리프레쉬 마스터 신호(PSELF)에 응답하여 소정의 오실레이션 신호(POSC)를 발생한다. 셀프 리프레쉬 마스터 신호(PSELF)는 모드 레지스터(MRS)에 저장된 셀프 리프레쉬 정보에 의해 발생된다. 분주기(620)는 오실레이션 신호(POSC)를 소정 횟수로 분주시켜 분주 신호(Qi)를 발생한다. 분주 신호(Qi)는 오실레이션 신호(POSC)에 대하여 2 분주, 4 분주, 8 분주, ...등으로 발생된다.

<36> 자동 펄스 발생부(630)는 소정의 분주 신호(Qi)를 선택하여 분주 신호(Qi)의 일정 주기를 결정하여 자동 리프레쉬 펄스 신호(PRFH)를 발생한다. 자동 펄스 발생부(630)의 동작, 즉 자동으로 펄스를 발생시키는 방법은 당업자에게 자명하다. 지연부(640)는 셀프 리프레쉬 마스터 신호(PSELF)를 소정 시간 지연시켜 리프레쉬 지연 신호(PDELFD)를 발생한다. 리프레쉬 시작 신호 발생부(650)는 리프레쉬 지연 신호(PSELFD)와 자동 리프레쉬 펄스 신호(PRFH)에 응답하여 리프레쉬 시작

신호(SRSP)를 발생한다. 리프레쉬 시작 신호(SRSP)는 리프레쉬 지연 신호(PSELF_D)가 로직 하이 레벨인 구간에서 자동 리프레쉬 펄스 신호(PRFH)를 따라서 발생하는 신호이다. 리프레쉬 워드라인 신호 발생부(660)는 리프레쉬 시작 신호(SRSP)와 리프레쉬 지연 신호(PSELF_D)에 응답하여 리프레쉬 워드라인 신호(PSELF_{WL})를 발생한다. 리프레쉬 워드라인 신호 발생부(660)의 구체적인 회로도도 도 7에 도시된다.

<37> 도 7을 참조하면, 리프레쉬 워드라인 신호 발생부(660)는 리프레쉬 지연 신호(PSELF_D)를 입력하고 반전된 출력을 노아 게이트(708)로 전달하는 인버터(702), 리프레쉬 시작 신호(SRSP)를 입력하고 그 출력을 노아 게이트(708)로 전달하는 인버터들(704, 706), 인버터(706) 출력을 지연시키고 이를 반전시키는 인버터들(710, 712, 714, 716, 718), 그리고 인버터들(702, 706, 718)의 출력들을 입력하여 리프레쉬 워드라인 신호(PSELF_{WL})를 출력하는 노아 게이트(708)를 포함한다. 리프레쉬 워드라인 신호 발생부(660)는 리프레쉬 지연 신호(PSELF_D)의 하이레벨 구간 동안 워드라인 시작 신호(SRSP)의 로우레벨로의 천이에 응답하여 소정의 펄스 폭을 갖는 하이레벨 펄스 신호로 발생된다.

<38> 도 8은 도 6 및 도 7의 리프레쉬 신호 발생부의 동작 타이밍을 설명하는 도면이다. 이를 참조하면, 셀프 리프레쉬 마스터 신호(PSELF)에 응답하여 오실레이션 신호(POSC)가 발생된다(①). 오실레이션 신호(POSC)를 2 분주시켜 제1 분주 신호(Q0)를 발생시키고(②), 이 후 제1 분주 신호(Q0)를 소정 횟수로 분주시켜 소정의 분주율을 갖는 분주 신호(Q_i)가 발생된다(③). 분주 신호(Q_i)에 응답하여 자동 리프레쉬 펄스 신호(PRFH)가 발생된다(④). 리프레쉬 지연 신호(PSELF_D)가 하이레벨로 활성화 구간 동안, 자동 리프레쉬 펄스 신호(PRFH)에 응답하여 리프레쉬 시작 신호(SRSP)가 발생되고(⑤), 리프레쉬 시작 신호(SRSP)에 응답하여 리프레쉬 워드라인 신호(PSELF_{WL})가 발생된다(⑥).

<39> 도 9는 리프레쉬 워드라인 신호의 동작 타이밍을 설명하는 도면이다. 이를 참조하면, 앞서 설명한 도 3의 셀프 리프레쉬 동작 중, 하나의 워드라인을 리프레쉬시키는 사이클(1 CYC) 동안 내부 카운터 신호에 의해 리프레쉬 워드라인 신호(PSELF_WL)가 로직 하이레벨 펄스로 발생하면(㉓,㉔), 도 4의 워드라인 신호 발생부(400)의 워드라인 리셋 신호(PXiB)를 로직 로우레벨 펄스로 셋팅한다(㉕). 이는 도 1의 엔모스 트랜지스터(112)를 턴오프시켜 접지 전압(GND)으로의 경로를 차단한다. 이에 따라 워드라인(WL)과 비트라인(BL) 사이에 브릿지가 존재하더라도, 리프레쉬 동안 비트라인 프리차아지 전압(VBL)으로부터 접지 전압(GND)으로의 전류 경로가 형성되지 않아, 리프레쉬 전류의 증가를 방지할 수 있다.

<40> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 예컨대, 본 발명의 리프레쉬 워드라인 신호가 셀프 리프레쉬 모드에서 발생하는 예에 대하여 기술하고 있지만, 셀프 리프레쉬 모드 이외에 노멀 리프레쉬 모드에서도 발생될 수 있음은 물론이다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<41> 상술한 본 발명에 의하면, MRS 워드라인 신호를 사용하여 불량 워드라인을 스크린할 수 있으며, 워드라인과 비트라인 사이에 브릿지가 존재하더라도, 리프레쉬 워드라인을 사용하여 비트라인 프리차아지 전압과 접지 전압 사이의 전류 경로를 차단시키기 때문에, 리프레쉬 전류와 스탠바이 전류의 증가를 방지할 수 있다.

【특허청구범위】**【청구항 1】**

로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 워드라인 구동 신호를 발생하는 버퍼부; 및

상기 로우 어드레스 신호 및 불량 워드라인을 스크린하는 모드 레지스터 워드라인 신호에 응답하여 상기 워드라인을 디세이블시키는 워드라인 리셋 신호를 발생하는 드라이버부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 모드 레지스터 워드라인 신호는

모드 레지스터에 저장된 정보인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 버퍼부는

인버터들로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 드라이버부는

상기 로우 어드레스 신호 및 상기 모드 레지스터 워드라인 신호를 입력하여 상기 워드라인 리셋 신호를 발생하는 노아 게이트인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 워드라인 구동 신호를 발생하는 버퍼부; 및

상기 로우 어드레스 신호 및 리프레쉬 동작 동안 발생하는 리프레쉬 워드라인 신호에 응답하여 상기 워드라인을 디세이블시키는 워드라인 리셋 신호를 발생하는 드라이버부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제5항에 있어서, 상기 모드 레지스터 워드라인 신호는

모드 레지스터에 저장된 정보인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제5항에 있어서, 상기 버퍼부는

인버터들로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제5항에 있어서, 상기 드라이버부는

상기 로우 어드레스 신호 및 상기 모드 레지스터 워드라인 신호를 입력하여 상기 워드라인 리셋 신호를 발생하는 노아 게이트인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제5항에 있어서, 상기 반도체 메모리 장치는

상기 리프레쉬 워드라인 신호를 발생시키는 리프레쉬 신호 발생부를 더 구비하고,

상기 리프레쉬 신호 발생부는

리프레쉬 마스터 신호에 응답하여 소정의 오실레이션 신호를 발생하는 오실레이션부;

상기 오실레이션 신호를 소정 횟수로 분주시켜 분주 신호들을 발생하는 분주부;

상기 분주 신호를 선택하고 상기 분주 신호의 일정 주기를 결정하여 자동 리프레쉬 펄스 신호를 발생하는 자동 펄스 발생부;

상기 자동 리프레쉬 펄스 신호 및 상기 리프레쉬 마스터 신호의 지연 신호에 응답하여 리프레쉬 시작 신호 발생부; 및

상기 리프레쉬 마스터 신호의 지연 신호 및 상기 리프레쉬 시작 신호에 응답하여 리프레쉬 워드라인 신호를 발생하는 리프레쉬 워드라인 신호 발생부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제9항에 있어서, 상기 리프레쉬 마스터 신호는

모드 레지스터에 저장된 셀프 리프레쉬 정보인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 워드라인 구동 신호를 발생하는 버퍼부; 및

상기 로우 어드레스 신호, 불량 워드라인을 스크린하는 모드 레지스터 워드라인 신호 및 리프레쉬 동작 동안 발생하는 리프레쉬 워드라인 신호에 응답하여 상기 워드라인을 디세이블시키는 워드라인 리셋 신호를 발생하는 드라이버부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제11항에 있어서, 상기 모드 레지스터 워드라인 신호는

모드 레지스터에 저장된 정보인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

제11항에 있어서, 상기 드라이버부는

상기 모드 레지스터 워드라인 신호와 상기 리프레쉬 워드라인 신호를 입력하는 제1 노아 게이트;

상기 노아 게이트의 출력을 반전하는 인버터; 및

상기 로우 어드레스 신호와 상기 인버터의 출력을 입력하여 상기 워드라인 리셋 신호를 출력하는 제2 노아 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

제11항에 있어서, 상기 반도체 메모리 장치는

상기 리프레쉬 워드라인 신호를 발생시키는 리프레쉬 신호 발생부를 더 구비하고,

상기 리프레쉬 신호 발생부는

리프레쉬 마스터 신호에 응답하여 소정의 오실레이션 신호를 발생하는 오실레이션부;

상기 오실레이션 신호를 소정 횟수로 분주시켜 분주 신호들을 발생하는 분주부;

상기 분주 신호를 선택하고 상기 분주 신호의 일정 주기를 결정하여 자동 리프레쉬 펄스 신호를 발생하는 자동 펄스 발생부;

상기 자동 리프레쉬 펄스 신호 및 상기 리프레쉬 마스터 신호의 지연 신호에 응답하여 리프레쉬 시작 신호 발생부; 및

상기 리프레쉬 마스터 신호의 지연 신호 및 상기 리프레쉬 시작 신호에 응답하여 리프레쉬 워드라인 신호를 발생하는 리프레쉬 워드라인 신호 발생부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

제11항에 있어서, 상기 리프레쉬 마스터 신호는

모드 레지스터에 저장된 셀프 리프레쉬 정보인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 16】

로우 어드레스 신호에 응답하여 메모리 셀들의 워드라인을 인에이블시키는 단계; 및

상기 로우 어드레스 신호, 불량 워드라인을 스크린하는 모드 레지스터 워드라인 신호 및 리프레쉬 동작 동안 발생하는 리프레쉬 워드라인 신호에 응답하여 상기 워드라인을 디세이블시키는 단계를 구비하는 것을 특징으로 하는 워드라인 구동 방법.

【청구항 17】

제16항에 있어서, 상기 워드라인 구동 방법은

상기 모드 레지스터 워드라인 신호를 모드 레지스터로부터 수신하는 것을 특징으로 하는 워드라인 구동 방법.

【청구항 18】

제16항에 있어서, 상기 워드라인 구동 방법은

리프레쉬 마스터 신호로부터 오실레이션 신호를 발생하는 단계;

상기 오실레이션 신호를 분주시켜 소정의 분주율을 갖는 분주 신호를 발생하는 단계;

상기 분주 신호에 응답하여 자동 리프레쉬 펄스 신호를 발생하는 단계;

상기 자동 리프레쉬 펄스 신호 및 상기 리프레쉬 마스터 신호의 지연 신호에 응답하여 리프레쉬 시작 신호를 발생하는 단계;

상기 리프레쉬 시작 신호 및 상기 리프레쉬 마스터 신호의 지연 신호에 응답하여 상기 리프레쉬 워드라인 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 워드라인 구동 방법.

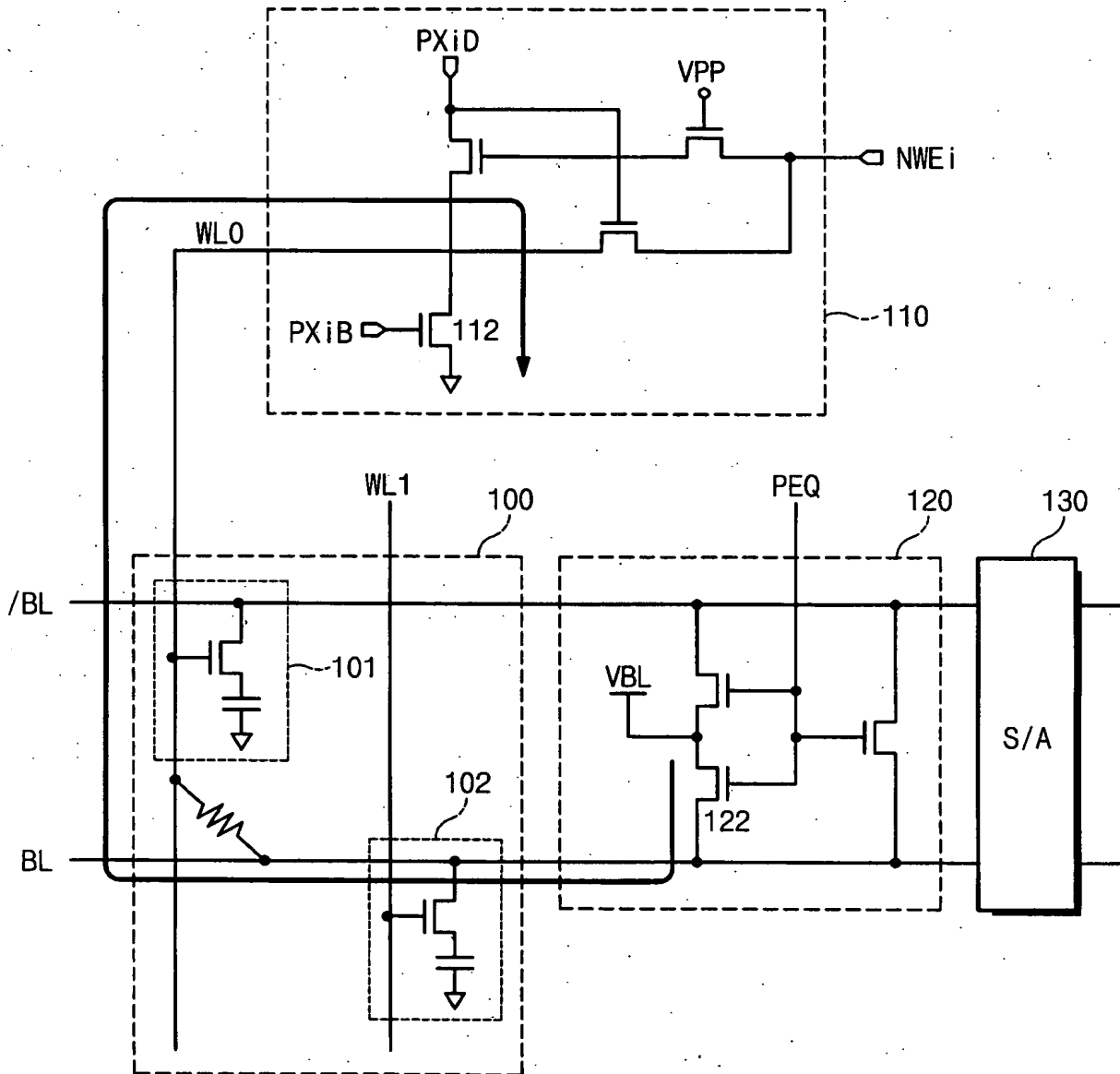
【청구항 19】

제18항에 있어서, 상기 리프레쉬 마스터 신호는

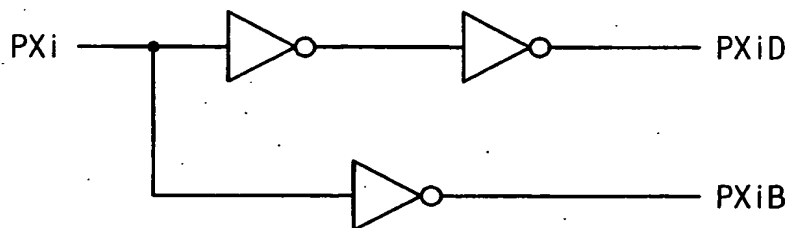
모드 레지스터에 저장된 셀프 리프레쉬 정보인 것을 특징으로 하는 워드라인 구동 방법.

【도면】

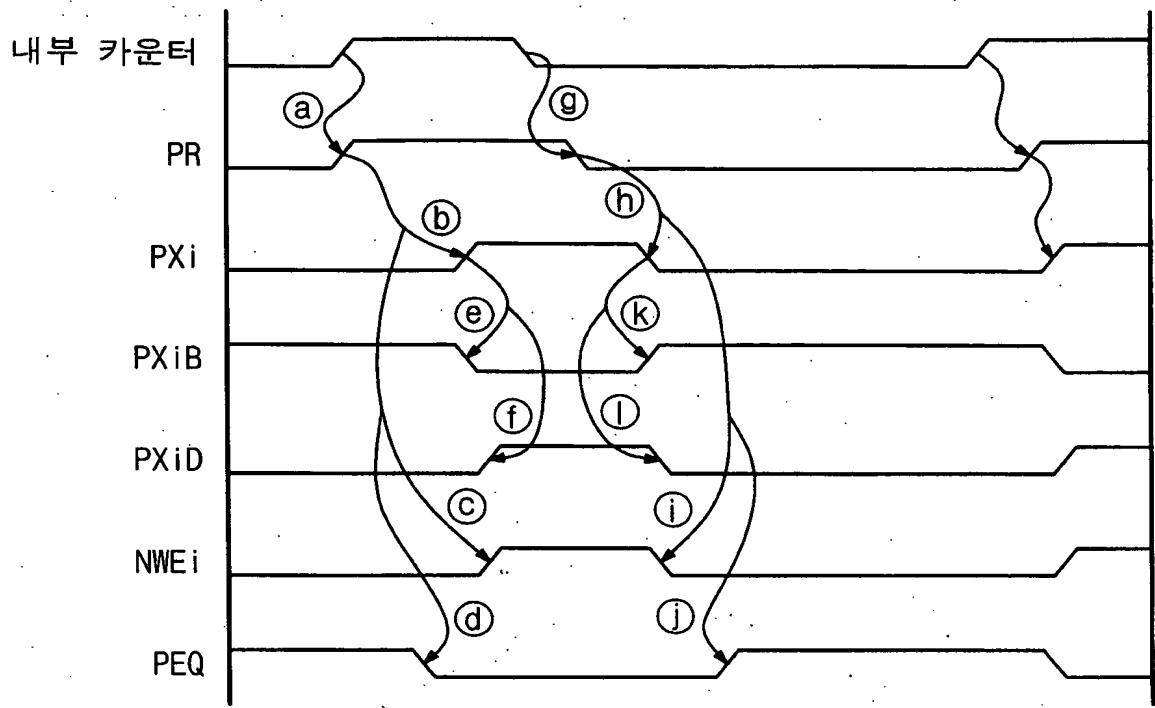
【도 1】



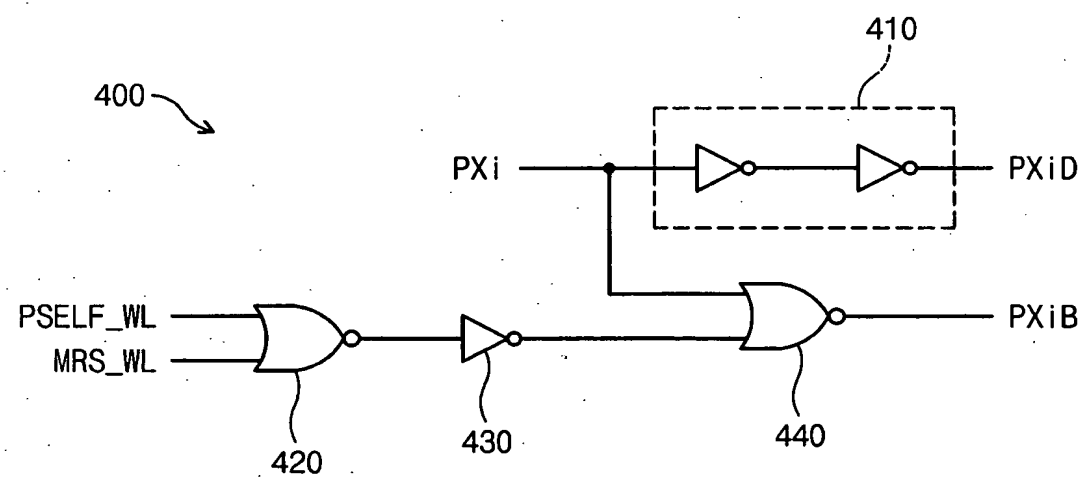
【도 2】



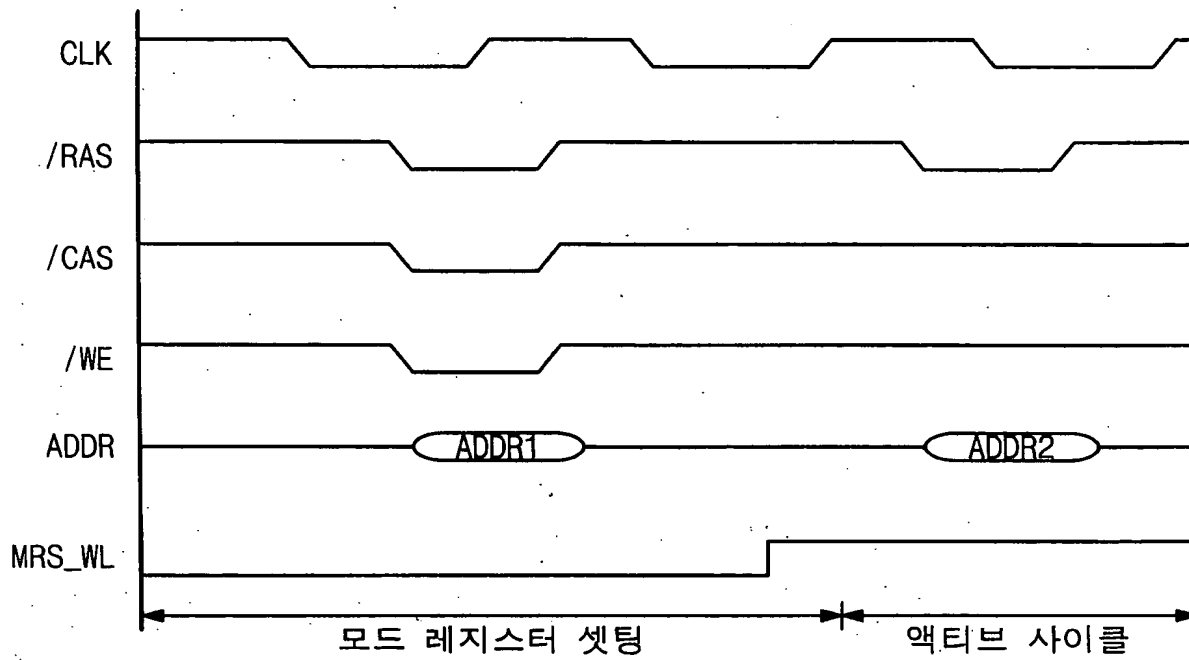
【도 3】



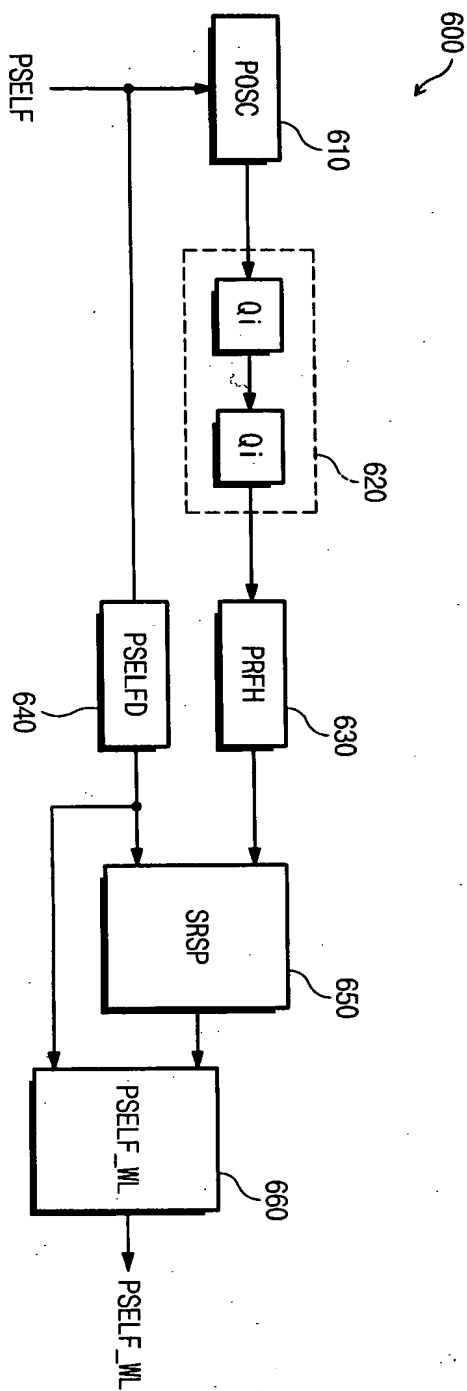
【도 4】



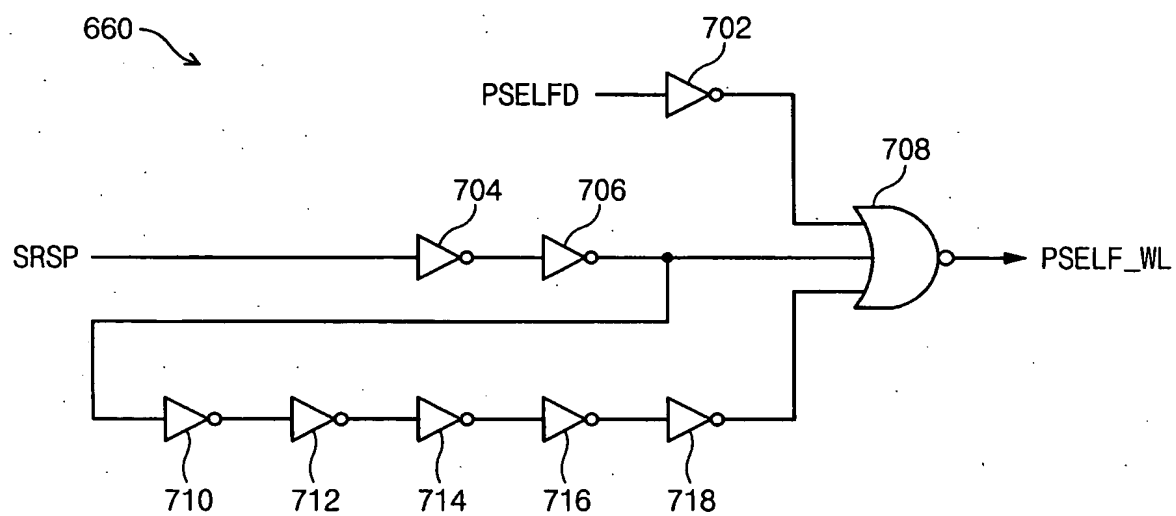
【도 5】



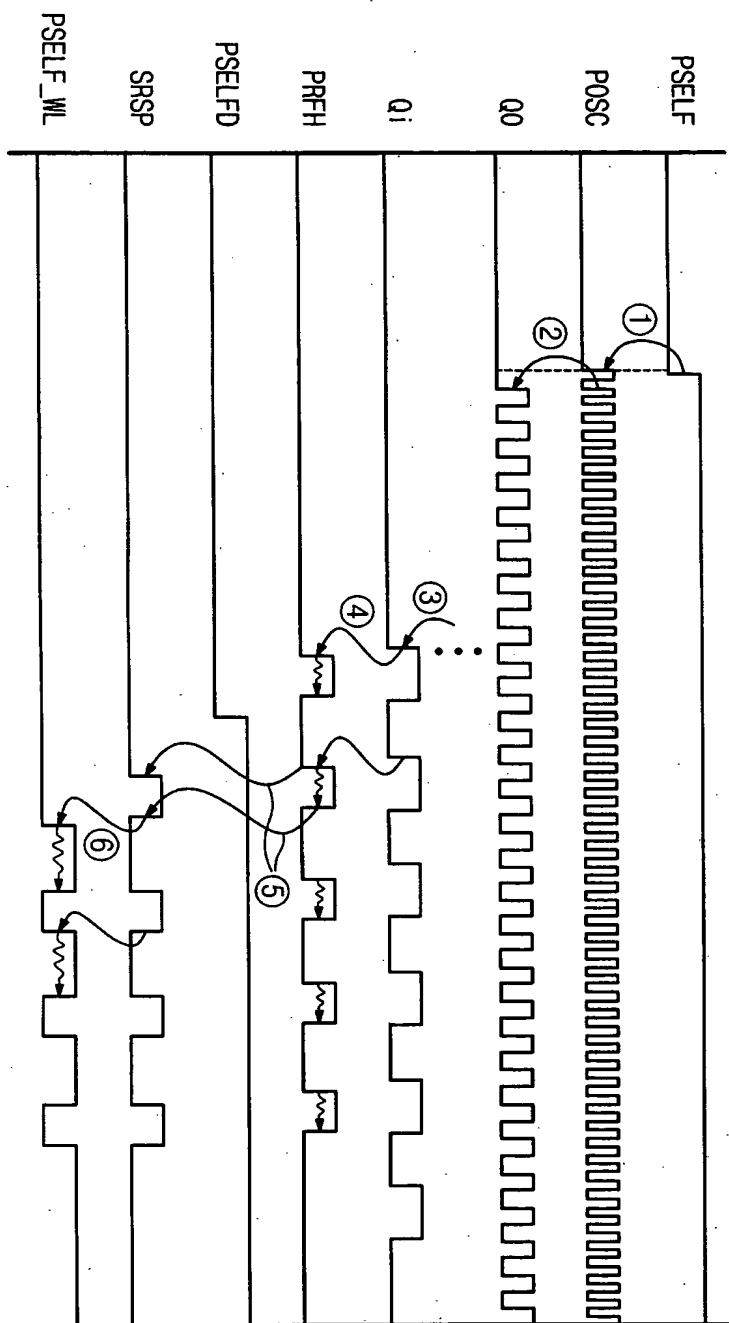
【도 6】



【도 7】



【도 8】



내부 카운터

1 CYC

PSELF_WL

PR

PXi

PXiB

PXiD

NWEi

PEQ

(a) (b) (c) (d) (e) (f) (g) (h) (i) (j) (k) (l) (m) (n) (o)

The diagram shows the timing of several signals relative to an internal counter. The signals are: PSELF_WL, PR, PXi, PXiB, PXiD, NWEi, and PEQ. The internal counter is represented by a series of pulses. The signals are labeled with letters (a) through (o) indicating specific points in time. A horizontal arrow at the top indicates a duration of 1 CYC (1 cycle). The signals are shown as digital waveforms. The internal counter pulses are shown as a series of steps. The signals are labeled with letters (a) through (o) indicating specific points in time. The signals are: PSELF_WL, PR, PXi, PXiB, PXiD, NWEi, and PEQ. The internal counter is represented by a series of pulses. The signals are labeled with letters (a) through (o) indicating specific points in time. A horizontal arrow at the top indicates a duration of 1 CYC (1 cycle).